

**PATENT APPLICATION**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Koji YAMAGUCHI

Group Art Unit: 2811

Application No.: 10/753,357

Examiner: Unknown

Filed: January 9, 2004

Docket No.: 118292

For: WIRING SUBSTRATE, SEMICONDUCTOR DEVICE, SEMICONDUCTOR  
MODULE, ELECTRONIC EQUIPMENT, METHOD FOR DESIGNING WIRING  
SUBSTRATE, METHOD FOR MANUFACTURING SEMICONDUCTOR  
DEVICE, AND METHOD FOR MANUFACTURING SEMICONDUCTOR  
MODULE

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

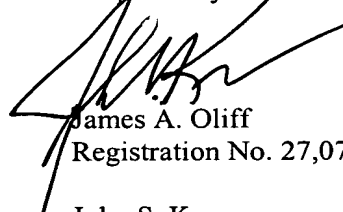
Japanese Patent Application No. 2003-007769 filed January 16, 2003.

In support of this claim, a certified copy of said original foreign application:

☒ is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James A. Oliff  
Registration No. 27,075

John S. Kern  
Registration No. 42,719

JAO:JSK/kap

Date: May 21, 2004

**OLIFF & BERRIDGE, PLC**  
**P.O. Box 19928**  
**Alexandria, Virginia 22320**  
**Telephone: (703) 836-6400**

<p><b>DEPOSIT ACCOUNT USE AUTHORIZATION</b> Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
---

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   1 月 1 6 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 0 0 7 7 6 9  
Application Number:

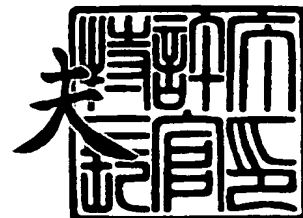
[ST. 10/C]:            [ J P 2 0 0 3 - 0 0 7 7 6 9 ]

出      願      人            セイコーエプソン株式会社  
Applicant(s):

2 0 0 4 年   1 月   6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 1 0 8 5 8 4

【書類名】 特許願

【整理番号】 J0094898

【提出日】 平成15年 1月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/12

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 山口 浩司

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100066980

    【弁理士】

    【氏名又は名称】 森 哲也

【選任した代理人】

    【識別番号】 100075579

    【弁理士】

    【氏名又は名称】 内藤 嘉昭

【選任した代理人】

    【識別番号】 100103850

    【弁理士】

    【氏名又は名称】 崔 秀▲てつ▼

【手数料の表示】

    【予納台帳番号】 001638

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 配線基板、半導体装置、半導体モジュール、電子機器、配線基板の設計方法、半導体装置の製造方法および半導体モジュールの製造方法

【特許請求の範囲】

【請求項 1】 基板上に形成された配線層と、  
前記配線層に接続され、前記基板にかかる応力分布に基づいて配置された端子電極とを備えることを特徴とする配線基板。

【請求項 2】 基板上に形成された配線層と、  
前記配線層に接続され、対角線上を避けるようにして前記基板上に配置された端子電極とを備えることを特徴とする配線基板。

【請求項 3】 基板上に形成された配線層と、  
前記配線層に接続され、前記基板上に配置された端子電極と、  
前記基板の対角線に沿って設けられた応力遮断部とを備えることを特徴とする配線基板。

【請求項 4】 前記応力遮断部は、溝またはスリットの少なくともいずれか一方であることを特徴とする請求項 3 記載の配線基板。

【請求項 5】 基板上に形成された配線層と、  
前記配線層に接続され、前記基板上に配置された端子電極と、  
前記基板の四隅または対角線上に設けられたダミー端子とを備えることを特徴とする配線基板。

【請求項 6】 能動領域およびパッド電極が形成された半導体チップと、  
前記能動領域上に形成された応力緩衝層と、  
前記応力緩衝層上に形成され、前記半導体チップにかかる応力分布に基づいて配置されたバンプ電極と、  
前記バンプ電極と前記パッド電極とを接続する再配置配線層と、  
前記再配置配線層および前記パッド電極上に形成された保護層とを備えることを特徴とする半導体装置。

【請求項 7】 能動領域およびパッド電極が形成された半導体チップと、  
前記能動領域上に形成された応力緩衝層と、

前記応力緩衝層上に形成され、対角線上を避けるようにして配置されたバンプ電極と、

前記バンプ電極と前記パッド電極とを接続する再配置配線層と、

前記再配置配線層および前記パッド電極上に形成された保護層とを備えることを特徴とする半導体装置。

【請求項 8】 能動領域およびパッド電極が形成された半導体チップと、

前記能動領域上に形成され、対角線に沿って分割配置された応力緩衝層と、

前記応力緩衝層上に形成されたバンプ電極と、

前記バンプ電極と前記パッド電極とを接続する再配置配線層と、

前記再配置配線層および前記パッド電極上に形成され、前記対角線に沿って分割配置された保護層とを備えることを特徴とする半導体装置。

【請求項 9】 能動領域およびパッド電極が形成された半導体チップと、

前記能動領域上に形成された応力緩衝層と、

前記応力緩衝層上に形成されたバンプ電極と、

前記応力緩衝層の四隅または対角線上に設けられたダミーバンプと、

前記バンプ電極と前記パッド電極とを接続する再配置配線層と、

前記再配置配線層および前記パッド電極上に形成された保護層とを備えることを特徴とする半導体装置。

【請求項 10】 半導体チップが表面実装されたインターポーザ基板と、

前記インターポーザ基板の裏面に設けられた配線層と、

前記配線層に接続され、前記インターポーザ基板にかかる応力分布に基づいて配置されたバンプ電極と、

前記インターポーザ基板に設けられ、前記半導体チップと前記配線層とを接続するスルーホール配線とを備えることを特徴とする半導体モジュール。

【請求項 11】 半導体チップが表面実装されたインターポーザ基板と、

前記インターポーザ基板の裏面に設けられた配線層と、

前記配線層に接続され、対角線上を避けるようにして前記インターポーザ基板の裏面に配置されたバンプ電極と、

前記インターポーザ基板に設けられ、前記半導体チップと前記配線層とを接続

するスルーホール配線とを備えることを特徴とする半導体モジュール。

【請求項 12】 半導体チップが表面実装されたインターポーザ基板と、  
前記インターポーザ基板の裏面に設けられた配線層と、  
前記配線層に接続され、対角線上を避けるようにして前記インターポーザ基板裏面に配置されたバンプ電極と、

前記インターポーザ基板の対角線に沿って設けられた溝またはスリットの少なくともいずれか一方と、

前記インターポーザ基板に設けられ、前記半導体チップと前記配線層とを接続するスルーホール配線とを備えることを特徴とする半導体モジュール。

【請求項 13】 半導体チップが表面実装されたインターポーザ基板と、  
前記インターポーザ基板の裏面に設けられた配線層と、  
前記配線層に接続され、前記インターポーザ基板の裏面に配置されたバンプ電極と、

前記インターポーザ基板の裏面の四隅または対角線上に設けられたダミーバンプと

前記インターポーザ基板に設けられ、前記半導体チップと前記配線層とを接続するスルーホール配線とを備えることを特徴とする半導体モジュール。

【請求項 14】 半導体チップが表面実装されたインターポーザ基板と、  
前記インターポーザ基板の裏面に設けられた配線層と、  
前記配線層に接続され、対角線上を避けるようにして前記インターポーザ基板の裏面に配置されたバンプ電極と、

前記インターポーザ基板に設けられ、前記半導体チップと前記配線層とを接続するスルーホール配線と、

前記インターポーザ基板を実装するマザー基板と、  
前記マザー基板を介して前記バンプ電極に接続された電子部品を備えることを特徴とする電子機器。

【請求項 15】 配線基板にかかる応力分布に基づいて、前記配線基板上のバンプ電極の配置位置を決定することを特徴とする配線基板の設計方法。

【請求項 16】 前記配線基板の対角線上を避けるようにして、前記配線基

板上のバンプ電極の配置位置を決定することを特徴とする請求項 18 記載の配線基板の設計方法。

【請求項 17】 パッド電極が形成された半導体チップの能動領域上に応力緩衝層を形成する工程と、

前記応力緩衝層をパターニングすることにより、前記パッド電極を露出させる工程と、

前記パッド電極から前記応力緩衝層上に延伸された再配置配線層を形成する工程と、

前記再配置配線層上に保護層を形成する工程と、

前記保護層をパターニングすることにより、対角線上を避けるようにして前記再配置配線層を露出させる開口部を形成する工程と、

前記開口部を介して前記再配置配線層に接続されるバンプ電極を前記応力緩衝層上に形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 18】 パッド電極が形成された半導体チップの能動領域上に応力緩衝層を形成する工程と、

前記応力緩衝層をパターニングすることにより、対角線に沿って前記応力緩衝層を分割するとともに、前記パッド電極を露出させる工程と、

前記パッド電極から前記応力緩衝層上に延伸された再配置配線層を形成する工程と、

前記再配置配線層上に保護層を形成する工程と、

前記保護層をパターニングすることにより、前記対角線に沿って前記保護層を分割するとともに、前記再配置配線層を露出させる開口部を形成する工程と、

前記開口部を介して前記再配置配線層に接続されるバンプ電極を前記応力緩衝層上に形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 19】 パッド電極が形成された半導体チップの能動領域上に応力緩衝層を形成する工程と、

前記応力緩衝層をパターニングすることにより、前記パッド電極を露出させる工程と、

前記パッド電極から前記応力緩衝層上に延伸された再配置配線層を形成すると

ともに、前記応力緩衝層上の四隅または対角線上にダミーランドを形成する工程と、

前記再配置配線層およびダミーランド上に保護層を形成する工程と、

前記保護層をパターニングすることにより、前記再配置配線層を露出させる第 1 の開口部および前記ダミーランドを露出させる第 2 の開口部を形成する工程と、

前記第 1 の開口部を介して前記再配置配線層に接続されるバンプ電極を前記応力緩衝層上に形成するとともに、前記第 2 の開口部を介して前記ダミーランド上に配置されるダミーバンプを形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 20】 スルーホールを介して接続された配線層を、インターポーザ基板の両面に形成する工程と、

対角線上を避けるようにして、前記配線層に接続されたバンプ電極を前記インターポーザ基板の裏面に形成する工程と、

前記インターポーザ基板の表面上に半導体チップを実装する工程とを備えることを特徴とする半導体モジュールの製造方法。

【請求項 21】 溝またはスリットのいずれか少なくとも一方をインターポーザ基板の対角線に沿って形成する工程と、

スルーホールを介して接続された配線層を、前記インターポーザ基板の両面に形成する工程と、

前記配線層に接続されたバンプ電極を前記インターポーザ基板の裏面に形成する工程と、

前記インターポーザ基板の表面上に半導体チップを実装する工程とを備えることを特徴とする半導体モジュールの製造方法。

【請求項 22】 スルーホールを介して接続された配線層を前記インターポーザ基板の両面に形成するとともに、前記インターポーザ基板の裏面の四隅または対角線上にダミーランドを形成する工程と、

前記配線層に接続されたバンプ電極を前記インターポーザ基板の裏面に形成するとともに、前記ダミーランド上にダミーバンプを形成する工程と、

前記インターポーザ基板の表面上に半導体チップを実装する工程とを備えることを特徴とする半導体モジュールの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、配線基板、半導体装置、半導体モジュール、電子機器、配線基板の設計方法、半導体装置の製造方法および半導体モジュールの製造方法に関し、特に、チップサイズパッケージ（C S P）またはボールグリッドアレイ（B G A）などに適用して好適なものである。

【0 0 0 2】

【従来技術】

従来のチップサイズパッケージおよびボールグリッドアレイでは、フルグリッドまたは千鳥配列などによって、ボールバンプの配置が行なわれていた。

図 1 2 （a）は、従来のチップサイズパッケージの概略構成を示す平面図、図 1 2 （b）は、図 1 2 （a）の J - J 線で切断した断面図である。

【0 0 0 3】

図 1 2 において、半導体チップ 1 0 1 には、能動領域に接続された配線層 1 0 2 が形成され、配線層 1 0 2 にはパッド電極 1 0 3 が形成されている。

また、半導体チップ 1 0 1 に形成された能動領域上には、パッド電極 1 0 3 が露出するようにして応力緩和層 1 0 4 が形成され、パッド電極 1 0 3 上には、応力緩和層 1 0 4 上に延伸された再配置配線 1 0 5 が形成されている。

【0 0 0 4】

また、再配置配線 1 0 5 上にはソルダレジスト膜 1 0 6 が形成され、ソルダレジスト膜 1 0 6 には、応力緩和層 1 0 4 上において再配置配線 1 0 5 を露出させる開口部 1 0 7 が形成されている。

また、応力緩和層 1 0 4 上には、はんだボール 1 0 8 が形成され、はんだボール 1 0 8 は、ソルダレジスト膜 1 0 6 に形成された開口部 1 0 7 を介して再配置配線 1 0 5 と接続されている。

【0 0 0 5】

図13 (a) は、従来のボールグリッドアレイの概略構成を示す平面図、図13 (b) は、図13 (a) のK-K線で切断した断面図である。

図13において、インターポーザ基板111の両面には配線112 a、112 cがそれぞれ形成され、各面に形成された配線112 a、112 cは、インターポーザ基板111に形成されたスルーホール配線112 bを介して接続されている。

#### 【0006】

そして、インターポーザ基板111の表面には半導体チップ113が実装され、半導体チップ113は、バンプ電極114を介して配線112 aと接続されるとともに、モールド樹脂115により封止されている。

また、インターポーザ基板111の裏面には、はんだボール116がフルグリッド状に配置され、はんだボール116は配線112 cに接続されている。

#### 【0007】

##### 【発明が解決しようとする課題】

しかしながら、図12のチップサイズパッケージでは、チップサイズが大きくなると、応力緩和層104やソルダレジスト膜106の伸縮量が大きくなり、半導体チップ101の反りを誘発して、はんだボール108の接続不良が発生し、二次実装の信頼性が低下するという問題があった。特に、半導体チップ101の対角線上で大きな応力が発生し、半導体チップ101の対角線上や四隅に配置されるはんだボール108の接続不良の頻度が大きいという問題があった。

#### 【0008】

また、図13のボールグリッドアレイでも同様に、インターポーザ基板111のサイズが大きくなると、パッケージの反りを誘発して、はんだボール116の接続不良が発生し、二次実装の信頼性が低下するという問題があった。

そこで、本発明の目的は、端子電極の接続信頼性を向上させることが可能な配線基板、半導体装置、半導体モジュール、電子機器、配線基板の設計方法、半導体装置の製造方法および半導体モジュールの製造方法を提供することである。

#### 【0009】

##### 【課題を解決するための手段】

上述した課題を解決するために、本発明の一態様に係る配線基板によれば、基板上に形成された配線層と、前記配線層に接続され、前記基板にかかる応力分布に基づいて配置された端子電極とを備えることを特徴とする。

これにより、基板にかかる応力の小さい領域を選択しつつ、端子電極を基板上に配置することが可能となり、端子電極の配置位置を変更することで、端子電極の接続不良を低減することが可能となる。

#### 【0010】

このため、基板構造を複雑化させることなく、端子電極の接続信頼性を向上させることが可能となり、二次実装の信頼性を容易に向上させることが可能となる。

また、本発明の一態様に係る配線基板によれば、基板上に形成された配線層と、前記配線層に接続され、対角線上を避けるようにして前記基板上に配置された端子電極とを備えることを特徴とする。

#### 【0011】

これにより、基板にかかる応力の大きな領域を避けながら、端子電極を配置することが可能となり、基板構造を複雑化させることなく、端子電極の接続信頼性を向上させることが可能となる。

また、本発明の一態様に係る配線基板によれば、基板上に形成された配線層と、前記配線層に接続され、前記基板上に配置された端子電極と、前記基板の対角線に沿って設けられた応力遮断部とを備えることを特徴とする。

#### 【0012】

これにより、配線基板に加わる応力を分断させて、配線基板に加わる応力を低下させることが可能となり、配線基板のサイズが増大した場合においても、配線基板の反りを低減させて、二次実装の信頼性を向上させることができる。

また、本発明の一態様に係る配線基板によれば、前記応力遮断部は、溝またはスリットの少なくともいずれか一方であることを特徴とする。

#### 【0013】

これにより、配線基板に加わる応力を溝またはスリットの位置で遮断することが可能となり、配線基板のサイズが増大した場合においても、配線基板に加わる

応力を低下させて、二次実装の信頼性を向上させることができる。

また、本発明の一態様に係る配線基板によれば、基板上に形成された配線層と、前記配線層に接続され、前記基板上に配置された端子電極と、前記基板の四隅または対角線上に設けられたダミー端子とを備えることを特徴とする。

#### 【0 0 1 4】

これにより、接続不良の頻度が大きい領域に端子電極が配置されることを防止しつつ、端子電極の接続状態をダミー端子で補強することが可能となる。

このため、配線基板のサイズが増大した場合においても、配線基板に加わる応力を低下させて、端子電極の接続不良を低減することが可能となり、二次実装の信頼性を向上させることができる。

#### 【0 0 1 5】

また、本発明の一態様に係る半導体装置によれば、能動領域およびパッド電極が形成された半導体チップと、前記能動領域上に形成された応力緩衝層と、前記応力緩衝層上に形成され、前記半導体チップにかかる応力分布に基づいて配置されたバンプ電極と、前記バンプ電極と前記パッド電極とを接続する再配置配線層と、前記再配置配線層および前記パッド電極上に形成された保護層とを備えることを特徴とする。

#### 【0 0 1 6】

これにより、半導体チップにかかる応力の小さい領域にバンプ電極を配置することが可能となり、バンプ電極の配置位置を変更することで、バンプ電極の接続不良を低減することが可能となる。

このため、チップサイズパッケージの構造を複雑化させることなく、バンプ電極の接続信頼性を向上させることが可能となり、二次実装の信頼性を容易に向上させることが可能となる。

#### 【0 0 1 7】

また、本発明の一態様に係る半導体装置によれば、能動領域およびパッド電極が形成された半導体チップと、前記能動領域上に形成された応力緩衝層と、前記応力緩衝層上に形成され、対角線上を避けるようにして配置されたバンプ電極と、前記バンプ電極と前記パッド電極とを接続する再配置配線層と、前記再配置配

線層および前記パッド電極上に形成された保護層とを備えることを特徴とする。

【0018】

これにより、半導体チップにかかる応力の大きな領域を避けながら、バンプ電極を配置することが可能となり、チップサイズパッケージの構造を複雑化させることなく、バンプ電極の接続信頼性を向上させることが可能となる。

また、本発明の一態様に係る半導体装置によれば、能動領域およびパッド電極が形成された半導体チップと、前記能動領域上に形成され、対角線に沿って分割配置された応力緩衝層と、前記応力緩衝層上に形成されたバンプ電極と、前記バンプ電極と前記パッド電極とを接続する再配置配線層と、前記再配置配線層および前記パッド電極上に形成され、前記対角線に沿って分割配置された保護層とを備えることを特徴とする。

【0019】

これにより、応力緩衝層および保護層に加わる応力を分断させて、半導体チップに加わる応力を低下させることが可能となり、半導体チップのサイズが増大した場合においても、半導体チップの反りを低減させて、二次実装の信頼性を向上させることができる。

また、本発明の一態様に係る半導体装置によれば、能動領域およびパッド電極が形成された半導体チップと、前記能動領域上に形成された応力緩衝層と、前記応力緩衝層上に形成されたバンプ電極と、前記応力緩衝層の四隅または対角線上に設けられたダミーバンプと、前記バンプ電極と前記パッド電極とを接続する再配置配線層と、前記再配置配線層および前記パッド電極上に形成された保護層とを備えることを特徴とする。

【0020】

これにより、接続不良の頻度が大きい領域にバンプ電極が配置されることを防止しつつ、バンプ電極の接続状態をダミーバンプで補強することが可能となるとともに、バンプ電極およびダミーバンプの一括形成および一括接続が可能となる。

このため、半導体チップのサイズが増大した場合においても、製造工程を複雑化させることなく、半導体チップに加わる応力を低下させて、バンプ電極の接続

不良を低減することが可能となる。

【0021】

また、本発明の一態様に係る半導体モジュールによれば、半導体チップが表面実装されたインターポーザ基板と、前記インターポーザ基板の裏面に設けられた配線層と、前記配線層に接続され、前記インターポーザ基板にかかる応力分布に基づいて配置されたバンプ電極と、前記インターポーザ基板に設けられ、前記半導体チップと前記配線層とを接続するスルーホール配線とを備えることを特徴とする。

【0022】

これにより、インターポーザ基板にかかる応力の小さい領域にバンプ電極を配置することが可能となり、バンプ電極の配置位置を変更することで、バンプ電極の接続不良を低減することが可能となる。

このため、ボールグリッドアレイの構造を複雑化させることなく、バンプ電極の接続信頼性を向上させることが可能となり、二次実装の信頼性を容易に向上させることが可能となる。

【0023】

また、本発明の一態様に係る半導体モジュールによれば、半導体チップが表面実装されたインターポーザ基板と、前記インターポーザ基板の裏面に設けられた配線層と、前記配線層に接続され、対角線上を避けるようにして前記インターポーザ基板の裏面に配置されたバンプ電極と、前記インターポーザ基板に設けられ、前記半導体チップと前記配線層とを接続するスルーホール配線とを備えることを特徴とする。

【0024】

これにより、インターポーザ基板にかかる応力の大きな領域を避けながら、バンプ電極を配置することが可能となり、ボールグリッドアレイの構造を複雑化させることなく、バンプ電極の接続信頼性を向上させることが可能となる。

また、本発明の一態様に係る半導体モジュールによれば、半導体チップが表面実装されたインターポーザ基板と、前記インターポーザ基板の裏面に設けられた配線層と、前記配線層に接続され、対角線上を避けるようにして前記インターポ

ーザ基板裏面に配置されたバンプ電極と、前記インターポーザ基板の対角線に沿って設けられた溝またはスリットの少なくともいずれか一方と、前記インターポーザ基板に設けられ、前記半導体チップと前記配線層とを接続するスルーホール配線とを備えることを特徴とする。

#### 【0025】

これにより、インターポーザ基板に加わる応力を分断させて、インターポーザ基板に加わる応力を低下させることが可能となり、インターポーザ基板のサイズが増大した場合においても、インターポーザ基板の反りを低減させて、二次実装の信頼性を向上させることができる。

また、本発明の一態様に係る半導体モジュールによれば、半導体チップが表面実装されたインターポーザ基板と、前記インターポーザ基板の裏面に設けられた配線層と、前記配線層に接続され、前記インターポーザ基板の裏面に配置されたバンプ電極と、前記インターポーザ基板の裏面の四隅または対角線上に設けられたダミーバンプと、前記インターポーザ基板に設けられ、前記半導体チップと前記配線層とを接続するスルーホール配線とを備えることを特徴とする。

#### 【0026】

これにより、接続不良の頻度が大きい領域にバンプ電極が配置されることを防止しつつ、バンプ電極の接続状態をダミーバンプで補強することが可能となるとともに、バンプ電極およびダミーバンプの一括形成および一括接続が可能となる。

このため、インターポーザ基板のサイズが増大した場合においても、製造工程を複雑化させることなく、インターポーザ基板に加わる応力を低下させて、バンプ電極の接続不良を低減することが可能となる。

#### 【0027】

また、本発明の一態様に係る電子機器によれば、半導体チップが表面実装されたインターポーザ基板と、前記インターポーザ基板の裏面に設けられた配線層と、前記配線層に接続され、対角線上を避けるようにして前記インターポーザ基板の裏面に配置されたバンプ電極と、前記インターポーザ基板に設けられ、前記半導体チップと前記配線層とを接続するスルーホール配線と、前記インターポーザ

基板を実装するマザー基板と、前記マザー基板を介して前記バンプ電極に接続された電子部品を備えることを特徴とする。

【0028】

これにより、インターポーザ基板に加わる応力を分断させて、インターポーザ基板に加わる応力を低下させることが可能となり、インターポーザ基板をマザー基板に実装する際の信頼性を向上させることができる。

また、本発明の一態様に係る配線基板の設計方法によれば、配線基板にかかる応力分布に基づいて、前記配線基板上のバンプ電極の配置位置を決定することを特徴とする。

【0029】

これにより、配線基板にかかる応力の小さい領域にバンプ電極を配置することが可能となり、配線基板のサイズが増大した場合においても、バンプ電極の配置位置を調整するだけで、バンプ電極の接続不良を低減することが可能となる。

また、本発明の一態様に係る配線基板の設計方法によれば、前記配線基板の対角線上を避けるようにして、前記配線基板上のバンプ電極の配置位置を決定することを特徴とする。

【0030】

これにより、配線基板にかかる応力の大きな領域にバンプ電極が配置されることを防止することが可能となり、バンプ電極の配置位置を調整するだけで、バンプ電極の接続信頼性を向上させることが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、パッド電極が形成された半導体チップの能動領域上に応力緩衝層を形成する工程と、前記応力緩衝層をパターンニングすることにより、前記パッド電極を露出させる工程と、前記パッド電極から前記応力緩衝層上に延伸された再配置配線層を形成する工程と、前記再配置配線層上に保護層を形成する工程と、前記保護層をパターンニングすることにより、対角線上を避けるようにして前記再配置配線層を露出させる開口部を形成する工程と、前記開口部を介して前記再配置配線層に接続されるバンプ電極を前記応力緩衝層上に形成する工程とを備えることを特徴とする。

【0031】

これにより、半導体チップにかかる応力の大きな領域にバンプ電極が配置されることを防止することが可能となり、バンプ電極の配置位置を調整するだけで、バンプ電極の接続不良を低減することが可能となる。

このため、チップサイズパッケージの構造を複雑化させることなく、バンプ電極の接続信頼性を向上させることが可能となり、二次実装の信頼性を容易に向上させることが可能となる。

#### 【0032】

また、本発明の一態様に係る半導体装置の製造方法によれば、パッド電極が形成された半導体チップの能動領域上に応力緩衝層を形成する工程と、前記応力緩衝層をパターンニングすることにより、対角線に沿って前記応力緩衝層を分割するとともに、前記パッド電極を露出させる工程と、前記パッド電極から前記応力緩衝層上に延伸された再配置配線層を形成する工程と、前記再配置配線層上に保護層を形成する工程と、前記保護層をパターンニングすることにより、前記対角線に沿って前記保護層を分割するとともに、前記再配置配線層を露出させる開口部を形成する工程と、前記開口部を介して前記再配置配線層に接続されるバンプ電極を前記応力緩衝層上に形成する工程とを備えることを特徴とする。

#### 【0033】

これにより、応力緩衝層および保護層のパターンニングを行うだけで、応力緩衝層および保護層に加わる応力を分断させることが可能となり、半導体チップのサイズが増大した場合においても、製造工程を増加させることなく、バンプ電極の接続信頼性を向上させることが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、パッド電極が形成された半導体チップの能動領域上に応力緩衝層を形成する工程と、前記応力緩衝層をパターンニングすることにより、前記パッド電極を露出させる工程と、前記パッド電極から前記応力緩衝層上に延伸された再配置配線層を形成するとともに、前記応力緩衝層上の四隅または対角線上にダミーランドを形成する工程と、前記再配置配線層およびダミーランド上に保護層を形成する工程と、前記保護層をパターンニングすることにより、前記再配置配線層を露出させる第1の開口部および前記ダミーランドを露出させる第2の開口部を形成する工程と、前記第1の開

口部を介して前記再配置配線層に接続されるバンプ電極を前記応力緩衝層上に形成するとともに、前記第2の開口部を介して前記ダミーランド上に配置されるダミーバンプを形成する工程とを備えることを特徴とする。

#### 【0034】

これにより、接続不良の頻度が大きい領域にバンプ電極が配置されることを防止しつつ、バンプ電極およびダミーバンプを一括形成することが可能となるとともに、バンプ電極を接続することで、バンプ電極の接続状態をダミーバンプで補強することが可能となる。

このため、半導体チップのサイズが増大した場合においても、製造工程を複雑化させることなく、半導体チップに加わる応力を低下させて、バンプ電極の接続不良を低減することが可能となる。

#### 【0035】

また、本発明の一態様に係る半導体モジュールの製造方法によれば、スルーホールを介して接続された配線層を、インターポーザ基板の両面に形成する工程と、対角線上を避けるようにして、前記配線層に接続されたバンプ電極を前記インターポーザ基板の裏面に形成する工程と、前記インターポーザ基板の表面上に半導体チップを実装する工程とを備えることを特徴とする。

#### 【0036】

これにより、インターポーザ基板にかかる応力の大きな領域にバンプ電極が配置されることを防止することが可能となり、バンプ電極の配置位置を調整するだけで、バンプ電極の接続不良を低減することが可能となる。

このため、ボールグリッドアレイの構造を複雑化させることなく、バンプ電極の接続信頼性を向上させることが可能となり、二次実装の信頼性を容易に向上させることが可能となる。

#### 【0037】

また、本発明の一態様に係る半導体モジュールの製造方法によれば、溝またはスリットのいずれか少なくとも一方をインターポーザ基板の対角線に沿って形成する工程と、スルーホールを介して接続された配線層を、前記インターポーザ基板の両面に形成する工程と、前記配線層に接続されたバンプ電極を前記インター

ポーザ基板の裏面に形成する工程と、前記インターポーザ基板の表面上に半導体チップを実装する工程とを備えることを特徴とする。

#### 【0038】

これにより、インターポーザ基板に溝またはスリットを形成することで、インターポーザ基板に加わる応力を分断させることが可能となり、インターポーザ基板のサイズが増大した場合においても、製造工程の増加を抑制しつつ、バンプ電極の接続信頼性を向上させることが可能となる。

また、本発明の一態様に係る半導体モジュールの製造方法によれば、スルーホールを介して接続された配線層を前記インターポーザ基板の両面に形成するとともに、前記インターポーザ基板の裏面の四隅または対角線上にダミーランドを形成する工程と、前記配線層に接続されたバンプ電極を前記インターポーザ基板の裏面に形成するとともに、前記ダミーランド上にダミーバンプを形成する工程と、前記インターポーザ基板の表面上に半導体チップを実装する工程とを備えることを特徴とする。

#### 【0039】

これにより、接続不良の頻度が大きい領域にバンプ電極が配置されることを防止しつつ、バンプ電極およびダミーバンプを一括形成することが可能となるとともに、バンプ電極を接続することで、バンプ電極の接続状態をダミーバンプで補強することが可能となる。

このため、インターポーザ基板のサイズが増大した場合においても、製造工程を複雑化させることなく、インターポーザ基板に加わる応力を低下させて、バンプ電極の接続不良を低減することが可能となる。

#### 【0040】

##### 【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置および半導体モジュールについて、チップサイズパッケージおよびボールグリッドアレイを例にとって説明する。

図1(a)は、本発明の第1実施形態に係るボールグリッドアレイの概略構成を示す平面図、図1(b)は、図1(a)のA-A線で切断した断面図である。

#### 【0041】

図1において、インターポーザ基板1の両面には配線2a、2cがそれぞれ形成され、各面に形成された配線2a、2cは、インターポーザ基板1に形成されたスルーホール配線2bを介して接続されている。

そして、インターポーザ基板1の表面には半導体チップ3が実装され、半導体チップ3は、バンプ電極4を介して配線2aと接続されるとともに、モールド樹脂5により封止されている。

#### 【0042】

また、インターポーザ基板1の裏面には、端子電極として、例えば、はんだボール6が配置され、はんだボール6は配線2cに接続されている。ここで、はんだボール6は、インターポーザ基板1の対角線7を避けるように配置されている。

これにより、インターポーザ基板1にかかる応力の大きな領域を避けながら、はんだボール6を配置することが可能となり、はんだボール6の配置位置を調整するだけで、はんだボール6の接続信頼性を向上させることが可能となる。

#### 【0043】

このため、ボールグリッドアレイが大型化した場合においても、ボールグリッドアレイの構造を複雑化させることなく、はんだボール6の接続不良を低減することが可能となり、コストアップを抑制しつつ、ボールグリッドアレイの二次実装時の信頼性を向上させることができる。

なお、インターポーザ基板1としては、例えば、シリコン基板、セラミック基板、ガラスエポキシ基板、あるいは、ビルドアップ多層基板などを用いることができる。また、インターポーザ基板1の裏面に設けられる端子電極としては、はんだボール6の他、例えば、Auバンプ電極や、NiバンプにAu皮膜またはハンダ皮膜などが施されたバンプ電極を用いるようにしてもよい。

#### 【0044】

図2(a)は、本発明の第2実施形態に係るボールグリッドアレイの概略構成を示す平面図、図2(b)は、図2(a)のB-B線で切断した断面図である。

図2において、インターポーザ基板11の両面には配線12a、12cがそれぞれ形成され、各面に形成された配線12a、12cは、インターポーザ基板1

1 に形成されたスルーホール配線 12b を介して接続されている。

【0045】

そして、インターポーザ基板 11 の表面には半導体チップ 13 が実装され、半導体チップ 13 は、バンプ電極 14 を介して配線 12a と接続されるとともに、モールド樹脂 15 により封止されている。

また、インターポーザ基板 11 の裏面には、端子電極として、例えば、はんだボール 16 が配置され、はんだボール 16 は配線 12c に接続されている。ここで、はんだボール 16 は、インターポーザ基板 11 の対角線上を避けるように配置されるとともに、インターポーザ基板 11 には、対角線に沿って溝 17 が形成されている。

【0046】

これにより、インターポーザ基板 11 に加わる応力を分断させて、インターポーザ基板 11 に加わる応力を低下させることが可能となり、インターポーザ基板 11 のサイズが増大した場合においても、インターポーザ基板 11 の反りを低減させて、二次実装の信頼性を向上させることができる。

なお、上述した実施形態では、インターポーザ基板 11 の対角線に沿って溝 17 を設ける方法について説明したが、溝 17 の代わりに孔またはスリットを設けるようにしてもよい。また、溝、孔またはスリットを混在させて設けるようにしてもよい。

【0047】

図 3 (a) は、本発明の第 3 実施形態に係るボールグリッドアレイの概略構成を示す平面図、図 3 (b) は、図 3 (a) の C-C 線で切断した断面図である。

図 3 において、インターポーザ基板 21 の表面には配線 22a が形成されるとともに、インターポーザ基板 21 の裏面には配線 22c およびダミーボール 28 を配置するダミーランド 22d が形成され、各面に形成された配線 22a、22c は、インターポーザ基板 21 に形成されたスルーホール配線 22b を介して接続されている。

【0048】

そして、インターポーザ基板 21 の表面には半導体チップ 23 が実装され、半

導体チップ 23 は、バンプ電極 24 を介して配線 22a と接続されるとともに、モールド樹脂 25 により封止されている。

また、インターポーザ基板 21 の裏面には、端子電極およびダミー端子として、例えば、はんだボール 26 およびダミーボール 28 がそれぞれ設けられ、はんだボール 26 は配線 22c に接続されるとともに、ダミーボール 28 はダミーランド 22d 上に配置されている。

#### 【0049】

ここで、はんだボール 26 は、インターポーザ基板 21 の対角線 27 を避けるように配置されるとともに、インターポーザ基板 21 の対角線 27 上には、ダミーボール 28 が所定間隔で並べて配置されている。

これにより、大きな応力のかかる対角線 27 上にはんだボール 26 が配置されることを防止することが可能となるとともに、はんだボール 26 の未配置領域にダミーボール 28 を配置することを可能として、はんだボール 26 の接続状態をダミーボール 28 で補強することが可能となる。

#### 【0050】

このため、インターポーザ基板 21 のサイズが増大した場合においても、インターポーザ基板 21 に加わる応力を低下させて、はんだボール 26 の接続不良を低減することが可能となり、二次実装の信頼性を容易に向上させることが可能となる。

なお、はんだボール 26 とダミーボール 28 の材質、大きさおよび形状などは一致させてもよいが、はんだボール 26 とダミーボール 28 の材質、大きさまたは形状などを異ならせるようにしてもよい。

#### 【0051】

ここで、はんだボール 26 とダミーボール 28 の材質、大きさおよび形状を一致させることにより、はんだボール 26 とダミーボール 28 とを一括して形成することが可能となり、製造工程の複雑化を防止することができる。

一方、はんだボール 26 とダミーボール 28 の材質を異ならせることにより、はんだボール 26 とダミーボール 28 との接着力を異ならせることが可能となり、ダミーボール 28 を対角線 27 上に配置した場合においても、ダミーボール 2

8を外れにくくして、はんだボール26の接続不良を低減することが可能となる。

#### 【0052】

例えば、ダミーボール28を、はんだで被覆された樹脂ボールから構成することができる。

これにより、ダミーボール28の弾性変形を起こさせ易くすることが可能となり、ダミーボール28に歪み応力が加わった場合においても、ダミーボール28を外れにくくすることが可能となるため、ダミーボール28の接続不良を低減して、はんだボール26の接続不良を低減することが可能となる。

#### 【0053】

また、ダミーボール28をはんだで被覆することにより、ダミーボール28の弾性変形を可能としつつ、はんだボール26およびダミーボール28の接続を一括して行うことが可能となり、製造工程の複雑化を防止することができる。

図4(a)は、本発明の第4実施形態に係るボールグリッドアレイの概略構成を示す平面図、図4(b)は、図4(a)のC'-C'線で切断した断面図である。

#### 【0054】

図4において、インターポーザ基板121の表面には配線122aが形成されるとともに、インターポーザ基板121の裏面には配線122cおよびダミーボール128を配置するダミーランド122dが形成され、各面に形成された配線122a、122cは、インターポーザ基板121に形成されたスルーホール配線122bを介して接続されている。

#### 【0055】

そして、インターポーザ基板121の表面には半導体チップ123が実装され、半導体チップ123は、バンプ電極124を介して配線122aと接続されるとともに、モールド樹脂125により封止されている。

また、インターポーザ基板121の裏面には、端子電極およびダミー端子として、例えば、はんだボール126およびダミーボール128がそれぞれ設けられ、はんだボール126は配線122cに接続されるとともに、ダミーボール12

8はダミーランド122d上に配置されている。

【0056】

ここで、はんだボール126は、インターポーザ基板121の対角線127を避けるように配置されるとともに、インターポーザ基板121の対角線127上には、ダミーボール128同士が互いに接触するようにして連続して配置されている。

これにより、大きな応力のかかる対角線127上にはんだボール126が配置されることを防止しつつ、はんだボール126の接続状態をダミーボール128で補強することが可能となるとともに、ダミーボール128の大きさを変更することなく、ダミーボール128による接着力を容易に増大させることが可能となる。

【0057】

このため、ダミーボール128による接着力の増大を可能としつつ、はんだボール126およびダミーボール128の一括形成および一括接続が可能となり、製造工程を複雑化することなく、インターポーザ基板121にかかる応力を効率よく吸収させることが可能となる。

図5(a)は、本発明の第5実施形態に係るボールグリッドアレイの概略構成を示す平面図、図5(b)は、図5(a)のD1-D1線で切断した断面図、図5(c)は、図5(a)のD2-D2線で切断した断面図である。

【0058】

図5において、インターポーザ基板31の表面には配線32aが形成されるとともに、インターポーザ基板31の裏面には配線32cおよびダミーボール38を配置するランド32dが形成され、各面に形成された配線32a、32cは、インターポーザ基板31に形成されたスルーホール配線32bを介して接続されている。

【0059】

そして、インターポーザ基板31の表面には半導体チップ33が実装され、半導体チップ33は、バンプ電極34を介して配線32aと接続されるとともに、モールド樹脂35により封止されている。

また、インターポーザ基板 31 の裏面には、端子電極およびダミー端子として、例えば、はんだボール 36 およびダミーボール 38 がそれぞれ設けられ、はんだボール 36 は配線 32c に接続されるとともに、ダミーボール 38 はダミーランド 32d 上に配置されている。

#### 【0060】

ここで、はんだボール 36 は、インターポーザ基板 31 の対角線 37 を避けるようにしてインターポーザ基板 31 の内側に配置されるとともに、ダミーボール 38 は、インターポーザ基板 31 の最外周の四隅に配置されている。

これにより、大きな応力のかかる領域にはんだボール 36 が配置されることを防止しつつ、インターポーザ基板 31 にかかる応力をダミーボール 38 で効率よく吸収させることが可能となり、二次実装の信頼性を容易に向上させることが可能となる。

#### 【0061】

図 6 (a) は、本発明の第 6 実施形態に係るボールグリッドアレイの概略構成を示す平面図、図 6 (b) は、図 6 (a) の E1-E1 線で切断した断面図、図 6 (c) は、図 6 (a) の E2-E2 線で切断した断面図である。

図 6 において、インターポーザ基板 41 の表面には配線 42a が形成されるとともに、インターポーザ基板 41 の裏面には配線 42c およびダミーボール 48a~48c を配置するランド 42d が形成され、各面に形成された配線 42a、42c は、インターポーザ基板 41 に形成されたスルーホール配線 42b を介して接続されている。

#### 【0062】

そして、インターポーザ基板 41 の表面には半導体チップ 43 が実装され、半導体チップ 43 は、バンプ電極 44 を介して配線 42a と接続されるとともに、モールド樹脂 45 により封止されている。

また、インターポーザ基板 41 の裏面には、端子電極およびダミー端子として、例えば、はんだボール 46 およびダミーボール 48 がそれぞれ設けられ、はんだボール 46 は配線 42c に接続されるとともに、ダミーボール 48 はダミーランド 42d 上に配置されている。

**【0063】**

ここで、はんだボール46は、インターポーザ基板41の対角線47を避けるようにしてインターポーザ基板41の内側に配置されるとともに、ダミーボール48a～48cは互いに接触するようにして、インターポーザ基板41の四隅にそれぞれ配置されている。

これにより、ダミーボール48a～48cの配置位置を調整するだけで、ダミーボール48a～48cによる接着力を増大させることが可能となり、ダミーボール48a～48cによる接着力を増大させるために、ダミーボール48a～48cの大きさを変更する必要がなくなる。

**【0064】**

このため、はんだボール46およびダミーボール48a～48cの一括形成および一括接続が可能となり、製造工程を複雑化することなく、インターポーザ基板41にかかる応力を効率よく吸収させることが可能となる。

図7(a)は、本発明の第7実施形態に係るチップサイズパッケージの概略構成を示す平面図、図7(b)は、図7(a)のF-F線で切断した断面図である。

**【0065】**

図7において、半導体チップ51上には、能動領域に接続された配線層52が形成され、配線層52にはパッド電極53が形成されている。また、半導体チップ51上に形成された能動領域上には、パッド電極53が露出するようにして応力緩和層54が形成され、パッド電極53上には、応力緩和層54上に延伸された再配置配線55が形成されている。

**【0066】**

ここで、再配置配線55は、例えば、TiWスパッタ配線層、Cuスパッタ配線層およびCuメッキ配線層の3層構造から構成することができる。

また、再配置配線55上には、保護膜として、例えば、ソルダレジスト膜56が形成され、ソルダレジスト膜56には、応力緩和層54上において再配置配線55を露出させる開口部57が形成されている。

**【0067】**

さらに、応力緩和層 54 上には、バンプ電極として、例えば、はんだボール 58 が配置され、はんだボール 58 は、ソルダレジスト膜 56 に形成された開口部 57 を介して再配置配線 55 と接続されている。ここで、はんだボール 58 は、半導体チップ 51 の対角線 59 を避けるように配置されている。

これにより、半導体チップ 51 にかかる応力の大きな領域を避けながら、はんだボール 58 を配置することが可能となり、はんだボール 58 の配置位置を調整するだけで、はんだボール 58 の接続信頼性を向上させることが可能となる。

#### 【0068】

このため、チップサイズパッケージが大型化した場合においても、チップサイズパッケージの構造を複雑化させることなく、はんだボール 58 の接続不良を低減することが可能となり、コストアップを抑制しつつ、チップサイズパッケージの二次実装時の信頼性を向上させることができる。

なお、応力緩和層 54 上に設けられるバンプ電極としては、はんだボール 58 の他、例えば、Au バンプ電極や、Ni バンプに Au 皮膜またはハンダ皮膜などが施されたバンプ電極を用いるようにしてもよい。

#### 【0069】

図 8 (a) は、本発明の第 8 実施形態に係るチップサイズパッケージの概略構成を示す平面図、図 8 (b) は、図 8 (a) の G-G 線で切断した断面図である。

図 8 において、半導体チップ 61 上には、能動領域に接続された配線層 62 が形成され、配線層 62 にはパッド電極 63 が形成されている。また、半導体チップ 61 上に形成された能動領域上には、パッド電極 63 が露出するようにして応力緩和層 64 が形成され、応力緩和層 64 上には、ダミーボール 68b を配置するダミーランド 65b が設けられるとともに、パッド電極 63 上には、応力緩和層 64 上に延伸された再配置配線 65a が形成されている。

#### 【0070】

ここで、再配置配線 65a およびダミーランド 65b は、例えば、TiW スパッタ配線層、Cu スパッタ配線層および Cu メッキ配線層の 3 層構造から構成することができる。

また、再配置配線 65a およびダミーランド 65b 上には、保護膜として、例えば、ソルダレジスト膜 66 が形成され、ソルダレジスト膜 66 には、応力緩和層 64 上において、再配置配線 65a およびダミーランド 65b をそれぞれ露出させる開口部 67a、67b が形成されている。

#### 【0071】

さらに、応力緩和層 64 上には、バンプ電極およびダミーバンプとして、例えば、はんだボール 68a およびダミーボール 68b がそれぞれ設けられ、はんだボール 68a は、ソルダレジスト膜 66 に形成された開口部 67a を介して再配置配線 65 と接続されるとともに、ダミーボール 68b は、ソルダレジスト膜 66 に形成された開口部 67b を介してダミーランド 65b 上に配置されている。

#### 【0072】

ここで、はんだボール 68a は、半導体チップ 61 の対角線 69 を避けるように配置されるとともに、半導体チップ 61 の対角線 69 には、ダミーボール 68b が所定間隔で並べて配置されている。

これにより、大きな応力のかかる対角線 69 上にはんだボール 68a が配置されることを防止しつつ、はんだボール 68a の接続状態をダミーボール 68b で補強することが可能となる。

#### 【0073】

このため、半導体チップ 61 のサイズが増大した場合においても、半導体チップ 61 に加わる応力を低下させて、はんだボール 68a の接続不良を低減することが可能となり、二次実装の信頼性を容易に向上させることが可能となる。

なお、はんだボール 68a とダミーボール 68b の材質、大きさおよび形状などは一致させてもよいが、はんだボール 68a とダミーボール 68b の材質、大きさまたは形状などを異ならせるようにしてもよい。

#### 【0074】

図 9 (a) は、本発明の第 9 実施形態に係るチップサイズパッケージの概略構成を示す平面図、図 9 (b) は、図 9 (a) の H-H 線で切断した断面図である。

図 9 において、半導体チップ 71 には、能動領域に接続された配線層 72 が形

成され、配線層 72 にはパッド電極 73 が形成されている。

#### 【0075】

また、半導体チップ 71 に形成された能動領域上には、パッド電極 73 が露出するようにして形成された応力緩和層 74a～74d が分割配置され、パッド電極 73 上には、応力緩和層 74a～74d 上に延伸された再配置配線 75 が形成されている。

ここで、再配置配線 75 は、例えば、TiWスパッタ配線層、Cuスパッタ配線層およびCuメッキ配線層の 3 層構造から構成することができる。

#### 【0076】

また、再配置配線 75 およびパッド 73 上には、応力緩和層 74a～74d にそれぞれ対応して分割配置されたソルダレジスト膜 76a～76d が形成され、ソルダレジスト膜 76a～76d には、各応力緩和層 74a～74d 上において再配置配線 75 を露出させる開口部 77 が形成されている。

そして、各応力緩和層 74a～74d 上には、バンプ電極として、例えば、はんだボール 78 が形成され、各はんだボール 78 は、各ソルダレジスト膜 76a～76d に形成された開口部 77 をそれぞれ介して再配置配線 75 と接続されている。

#### 【0077】

ここで、はんだボール 78 は、半導体チップ 71 の対角線上を避けるように配置されるとともに、応力緩和層 74a～74d およびソルダレジスト膜 76a～76d は、半導体チップ 71 の対角線に沿って分割されている。

これにより、半導体チップ 71 に加わる応力を分断させて、半導体チップ 71 に加わる応力を低下させることが可能となり、半導体チップ 71 のサイズが増大した場合においても、半導体チップ 71 の反りを低減させて、二次実装の信頼性を向上させることができる。

#### 【0078】

図 10 は、本発明の第 10 実施形態に係るチップサイズパッケージの製造方法を示す断面図である。

図 10 (a) において、半導体ウェハ W には、パッド電極 73 が設けられた配

線層 72 が形成されている。

そして、図 10 (b) に示すように、配線層 72 およびパッド電極 73 が形成された半導体ウェハ W 上に、ポリイミドなどの樹脂膜を塗布し、フォトリソグラフィ技術を用いて樹脂膜のパターニングを行うことにより、パッド電極 73 が露出されるとともに、対角線に沿って分割された応力緩和層 74 a ~ 74 d を配線層 72 上に形成する。

#### 【0079】

次に、図 10 (c) に示すように、応力緩和層 74 a ~ 74 d が形成された半導体ウェハ W 上に、スパッタにより、TiW スパッタ膜および Cu スパッタ膜を順次積層した後、メッキレジスト膜を塗布する。

そして、フォトリソグラフィ技術を用いることにより、再配置配線 75 に対応する開口部をメッキレジスト膜に形成し、この開口部を介して電解銅メッキを行うことにより、Cu メッキ配線層を形成する。

#### 【0080】

そして、メッキレジスト膜を除去し、Cu メッキ配線層をマスクとして、Cu スパッタ膜および TiW スパッタ膜を順次エッチングすることにより、Cu スパッタ配線層および TiW スパッタ配線層を形成し、再配置配線 75 を完成させる。

次に、図 10 (d) に示すように、再配置配線 75 上にソルダレジストを塗布し、フォトリソグラフィ技術を用いることにより、対角線に沿って分割配置されたソルダレジスト膜 76 a ~ 76 d を再配置配線 75 上に形成するとともに、再配置配線 75 を露出させる開口部 77 をソルダレジスト膜 76 a ~ 76 d に形成する。

#### 【0081】

そして、図 10 (e) に示すように、この開口部 77 を介して再配置配線 75 に接続されたはんだボール 78 をソルダレジスト膜 76 a ~ 76 d 上に形成し、必要に応じて、補強樹脂を全面に塗布した後、スパッタにより、はんだボール 78 を露出させることにより、はんだボール 78 の根元を補強する。

これにより、応力緩和層 74 a ~ 74 d およびソルダレジスト膜 76 a ~ 76

dのパターニングを行う際に、応力緩和層74a～74dおよびソルダレジスト膜76a～76dを分割することが可能となり、製造工程を増加させることなく、半導体チップ71に加わる応力を分断させることが可能となる。

#### 【0082】

図11(a)は、本発明の第1実施形態に係るチップサイズパッケージの概略構成を示す平面図、図11(b)は、図11(a)のI1-I1線で切断した断面図、図11(c)は、図11(a)のI2-I2線で切断した断面図である。

図11において、半導体チップ81上には、能動領域に接続された配線層82が形成され、配線層82にはパッド電極83が形成されている。

#### 【0083】

また、半導体チップ81上に形成された能動領域上には、パッド電極83が露出するようにして応力緩和層84が形成され、応力緩和層84上の四隅には、ダミーボール88aを配置するダミーランド85bが設けられるとともに、パッド電極83上には、応力緩和層84上に延伸された再配置配線85aが形成されている。

#### 【0084】

ここで、再配置配線85aおよびダミーランド85bは、例えば、TiWスパッタ配線層、Cuスパッタ配線層およびCuメッキ配線層の3層構造から構成することができる。

また、再配置配線85aおよびダミーランド85b上にはソルダレジスト膜86が形成され、ソルダレジスト膜86には、応力緩和層84上において、再配置配線85aおよびダミーランド85bをそれぞれ露出させる開口部87a、87bが形成されている。

#### 【0085】

そして、応力緩和層84上には、応力緩和層84の四隅に配置されるように、ダミーボール88bが形成され、ダミーボール88bは、ソルダレジスト膜86に形成された開口部87bを介してダミーランド85b上に配置されている。

さらに、ダミーボール88bの内側には、はんだボール88aが配置され、は

んだボール 88a は、ソルダレジスト膜 86 に形成された開口部 87a を介して再配置配線 85 と接続されている。

#### 【0086】

これにより、はんだボール 88a が、応力緩和層 84 の最外周の四隅に配置されることを防止することが可能となるとともに、はんだボール 88a が形成された半導体チップ 81 をマザー基板上に実装することで、はんだボール 88a の接続状態をダミーボール 88b で補強することが可能となる。

このため、チップサイズパッケージが大型化した場合においても、実装時の工程数を増加させることなく、はんだボール 88a の接続不良を低減することが可能となり、スループットの低下を抑制しつつ、チップサイズパッケージの二次実装時の信頼性を向上させることができる。

#### 【0087】

なお、上述したパッケージ構造は、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD (Mini Disc) プレーヤなどの電子機器に適用することができ、上述したパッケージ構造を用いることで、電子機器の小型・軽量化を図りつつ、電子機器の信頼性を向上させることが可能となる。

#### 【図面の簡単な説明】

- 【図 1】 第 1 実施形態のボールグリッドアレイの構成を示す図。
- 【図 2】 第 2 実施形態のボールグリッドアレイの構成を示す図。
- 【図 3】 第 3 実施形態のボールグリッドアレイの構成を示す図。
- 【図 4】 第 4 実施形態のボールグリッドアレイの構成を示す図。
- 【図 5】 第 5 実施形態のボールグリッドアレイの構成を示す図。
- 【図 6】 第 6 実施形態のボールグリッドアレイの構成を示す図。
- 【図 7】 第 7 実施形態のチップサイズパッケージの構成を示す図。
- 【図 8】 第 8 実施形態のチップサイズパッケージの構成を示す図。
- 【図 9】 第 9 実施形態のチップサイズパッケージの構成を示す図。
- 【図 10】 第 10 実施形態のチップサイズパッケージの製造方法を示す図

。

【図 11】 第 11 実施形態のチップサイズパッケージの構成を示す図。

【図 12】 従来のチップサイズパッケージの構成を示す図。

【図 13】 従来のボールグリッドアレイの構成を示す図。

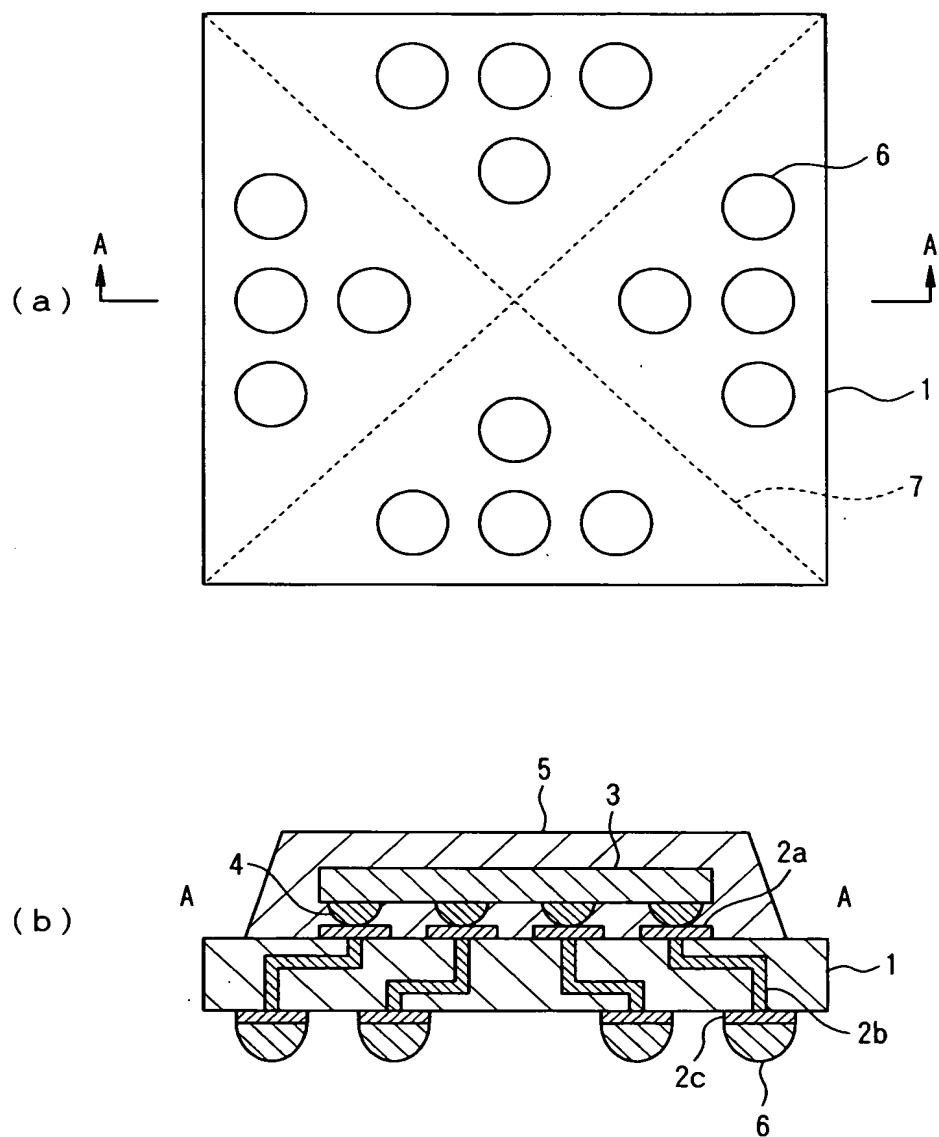
【符号の説明】

1、11、21、31、41、121 インターポーザ基板、2a、12a、  
22a、32a、42a、122a、2c、12c、22c、32c、42c、  
122c 配線、2b、12b、22b、32b、42b、122b スルーホ  
ール配線、3、13、23、33、43、123 半導体チップ、4、14、2  
4、34、44、124 バンプ、5、15、25、35、45、125 封止  
樹脂 6、16、26、36、46、126 はんだボール、7、27、37、  
47、59、69、127 対角線、17、79 溝、22d、32d、42d  
、65b、85b、122d ダミーランド 28、38 、48a～48c、  
68b、88b、128 ダミーボール、51、61、71、81 半導体チッ  
プ 52、62、72、82 配線層、53、63、73、83 パッド、54  
、64、74a～74d、84 応力緩和層、55、65a、75、85a 再  
配置配線、56、66、76、86 ソルダレジスト層、57、67a、67b  
、77、87a、87b 開口部、58、68a、78、88a ボールバンプ  
、W 半導体ウェハ

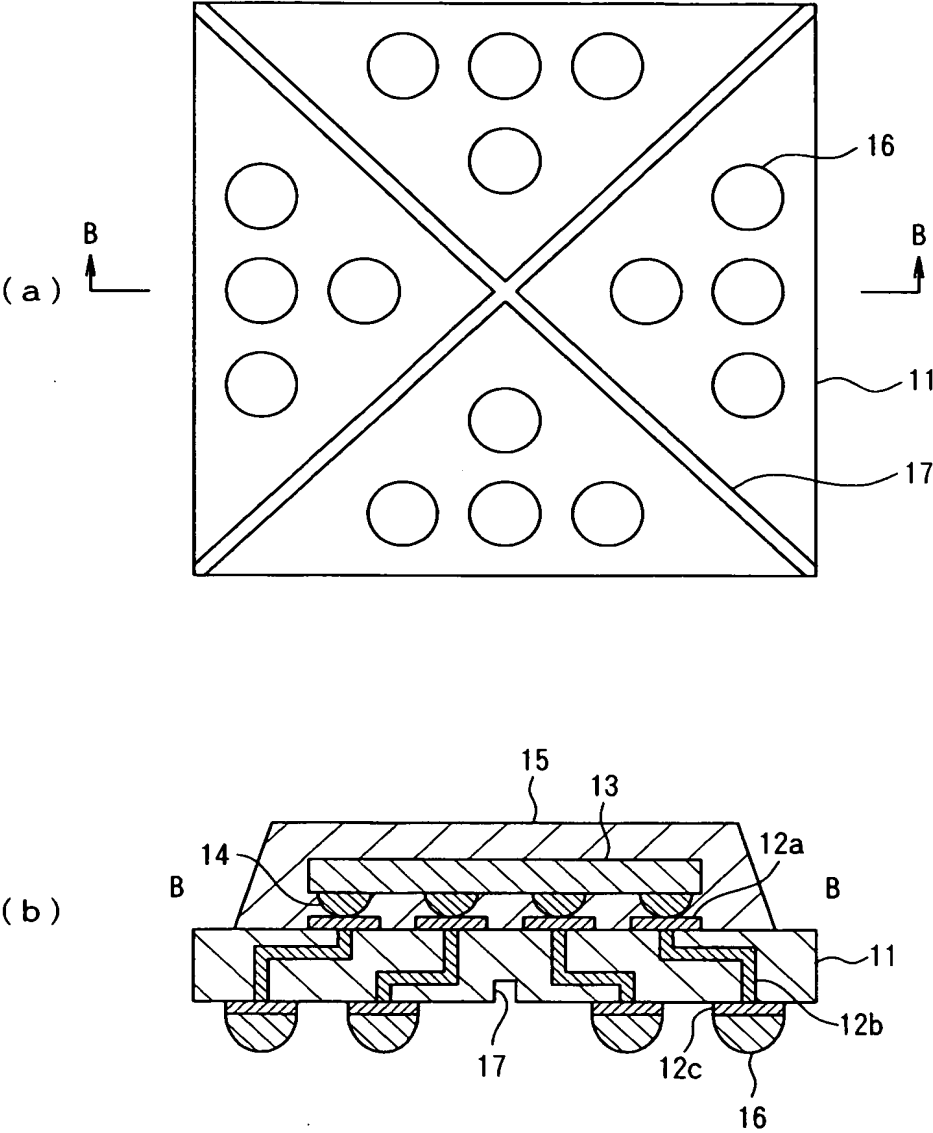
【書類名】

図面

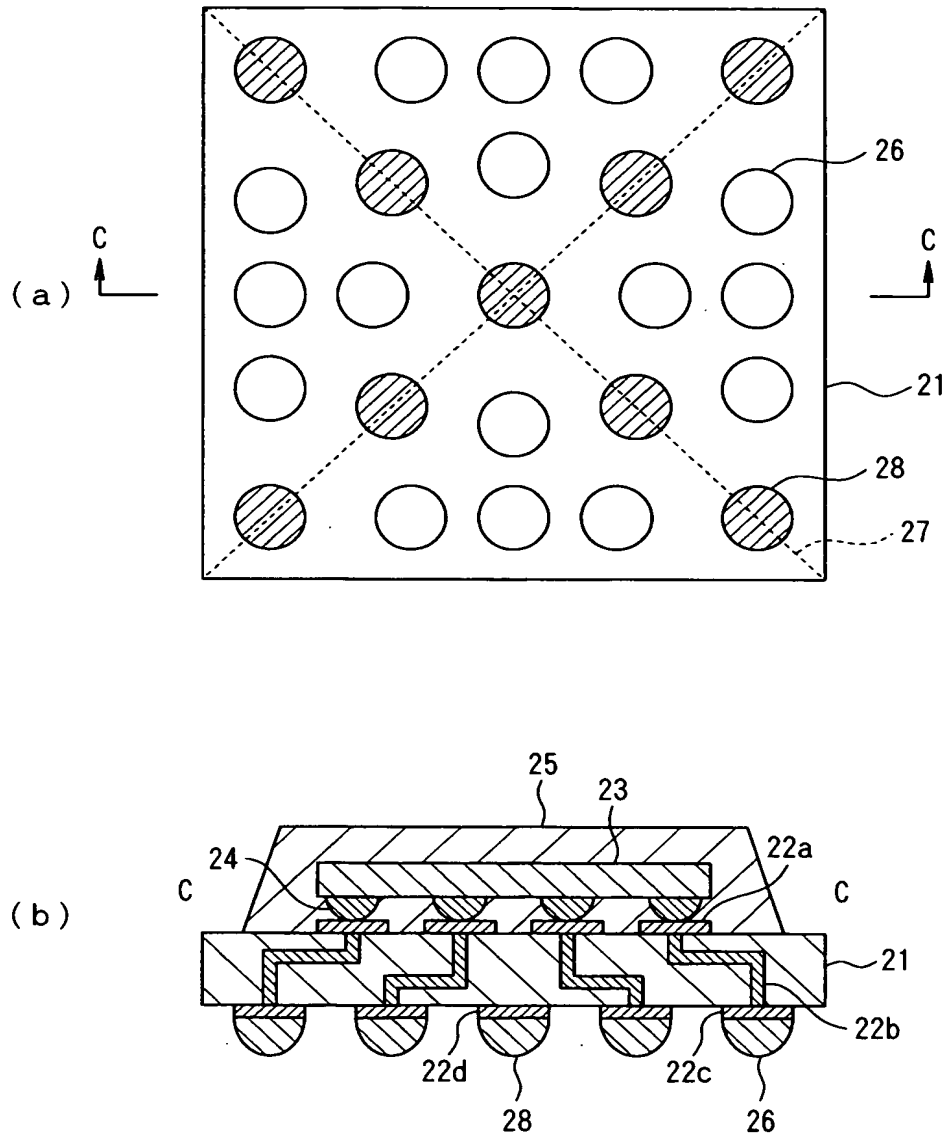
【図 1】



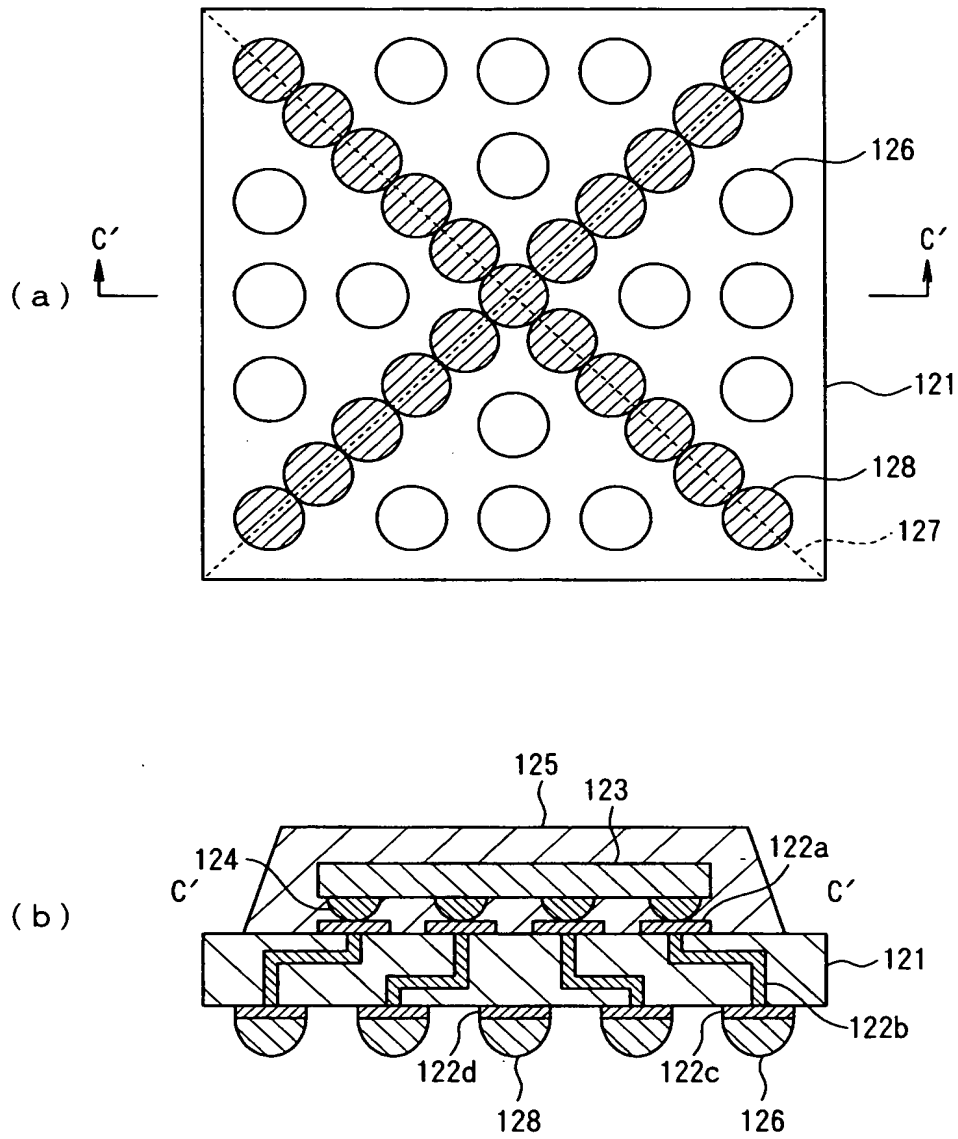
【図 2】



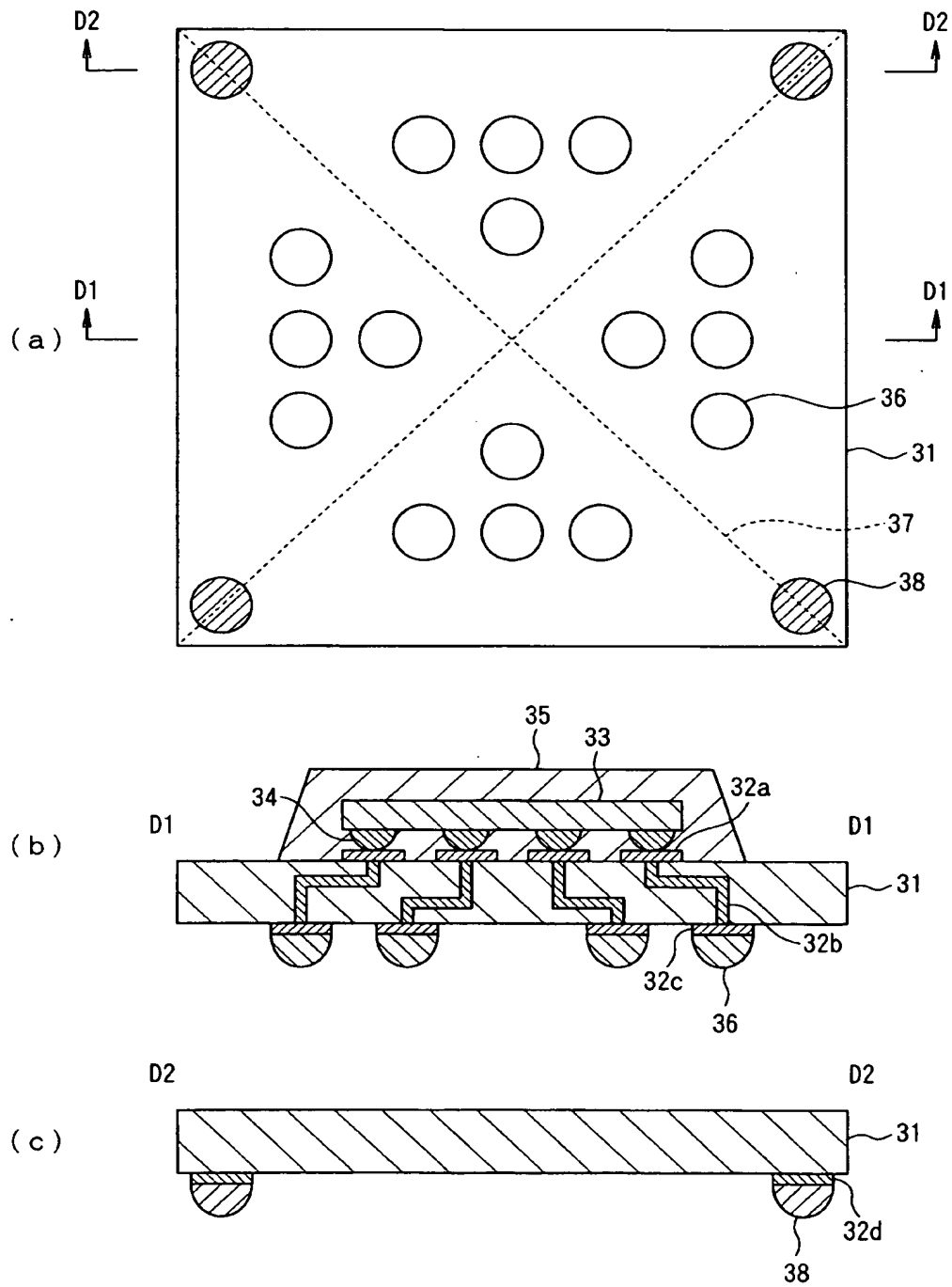
【図 3】



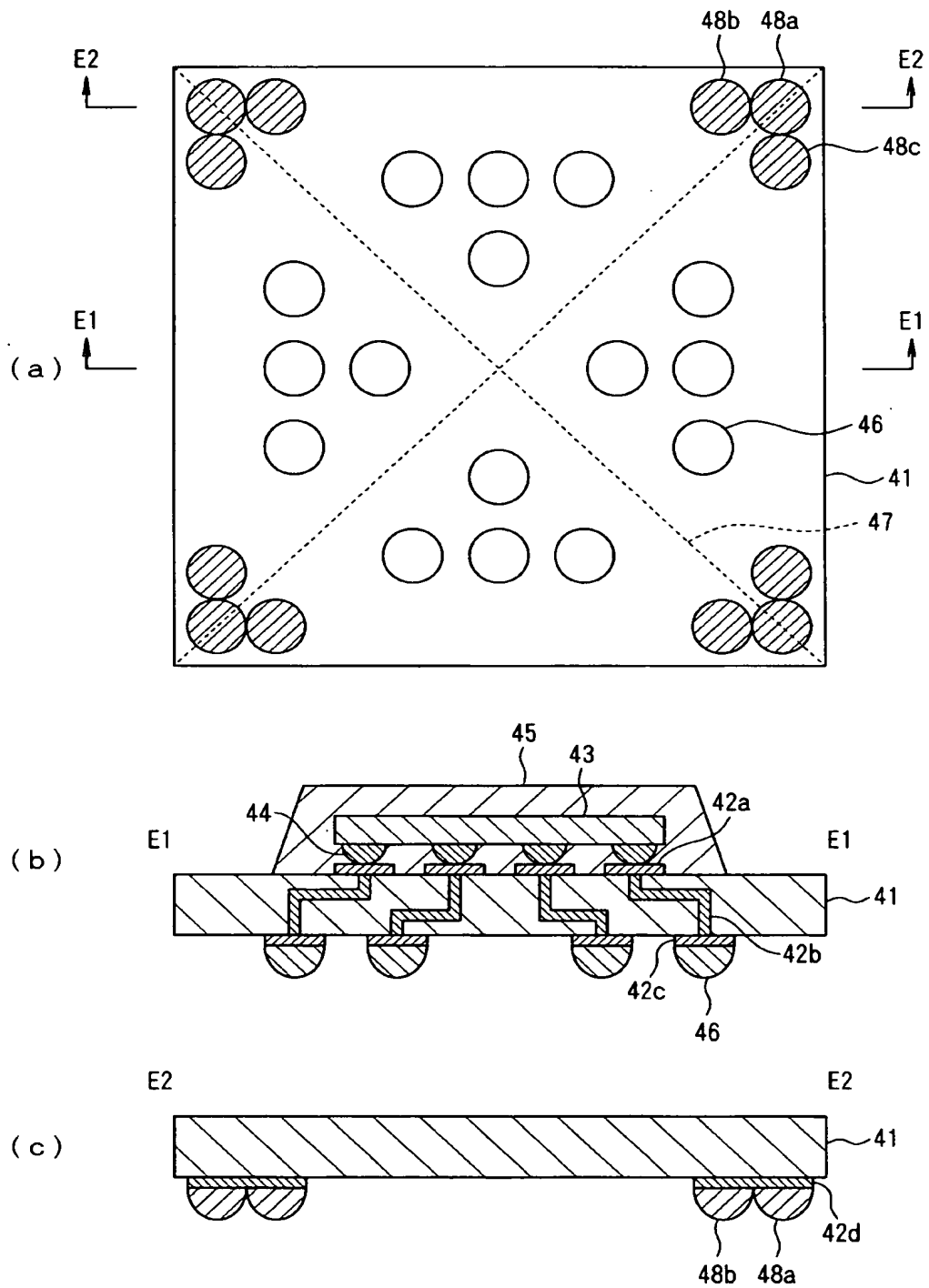
【図 4】



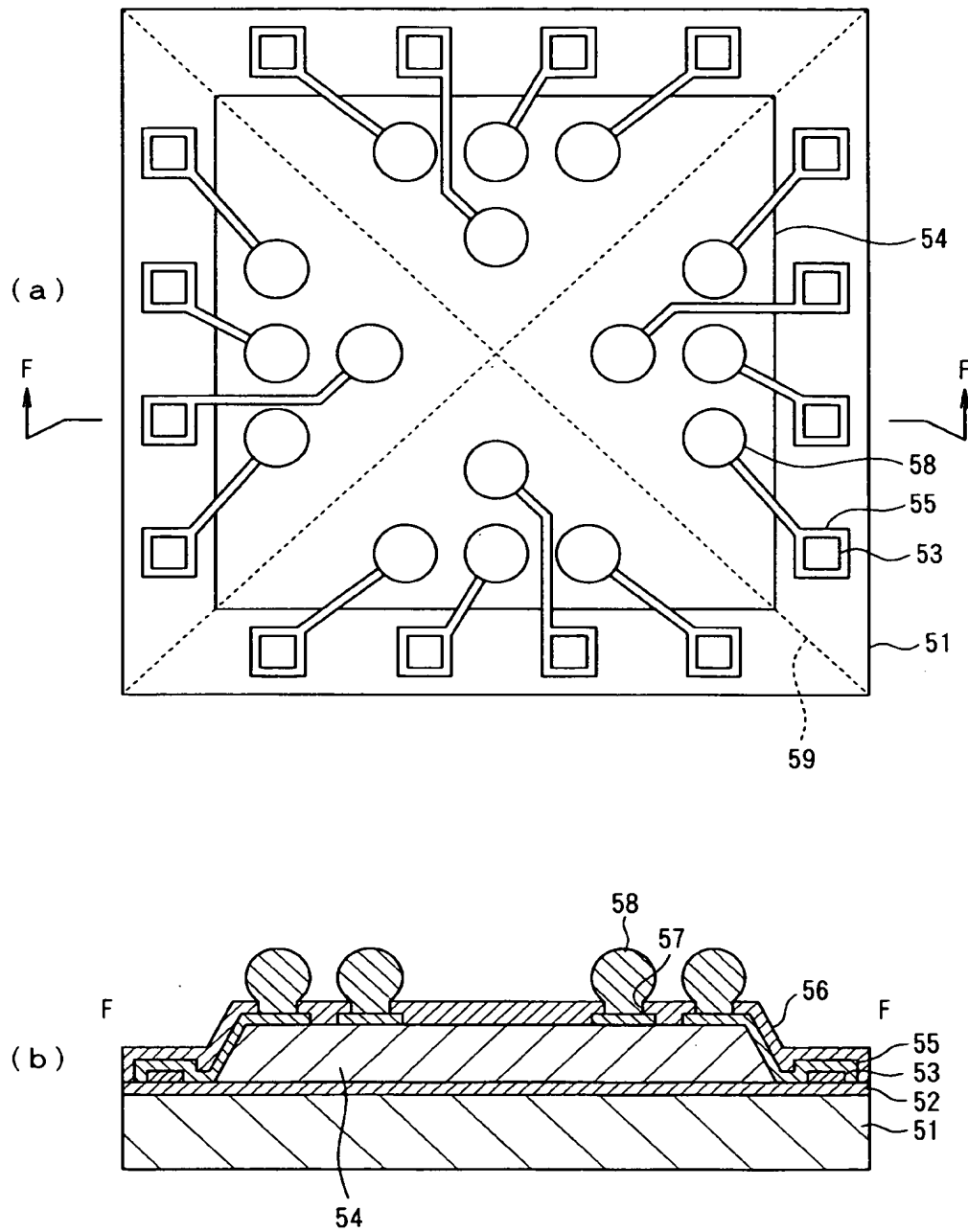
【図 5】



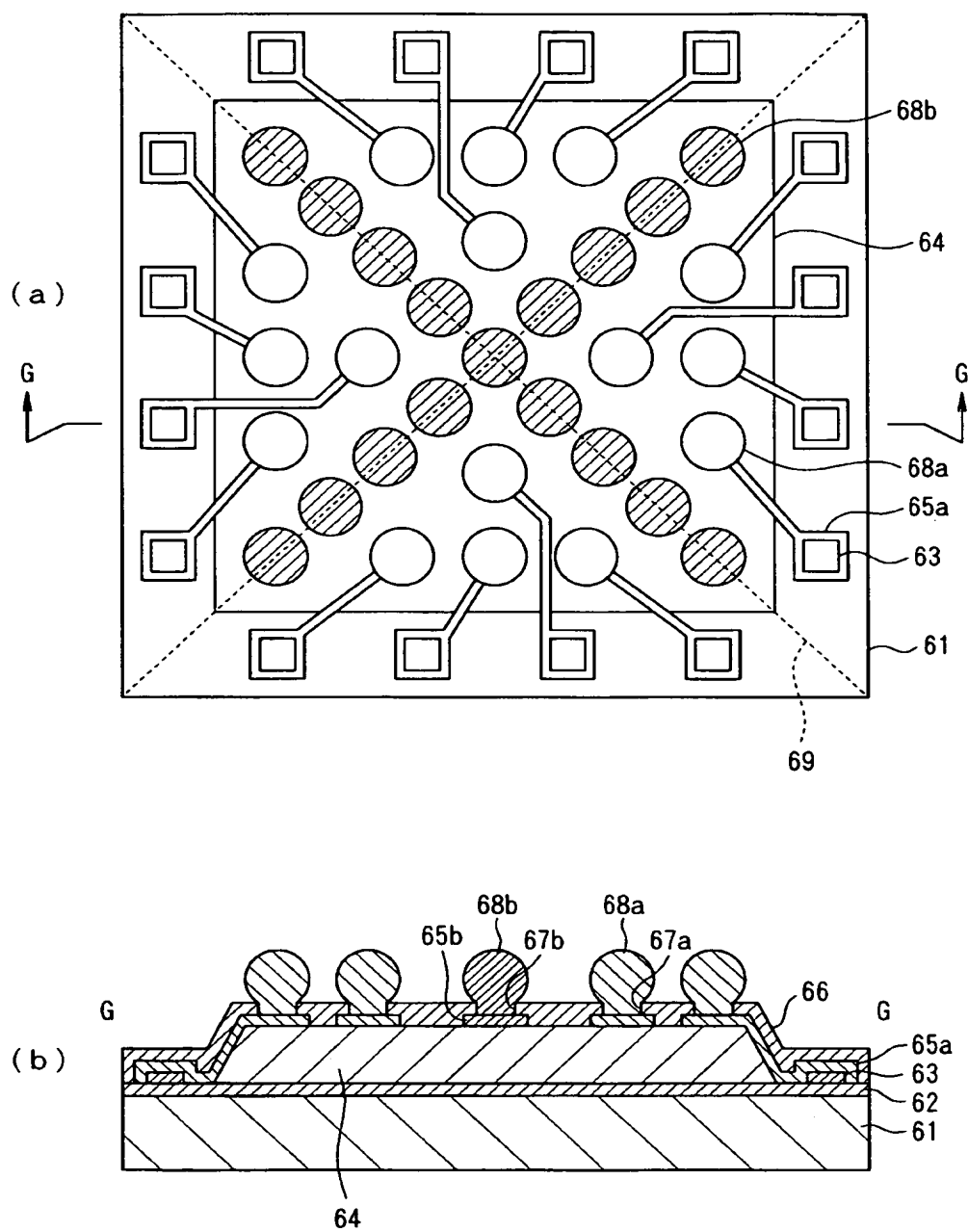
【図 6】



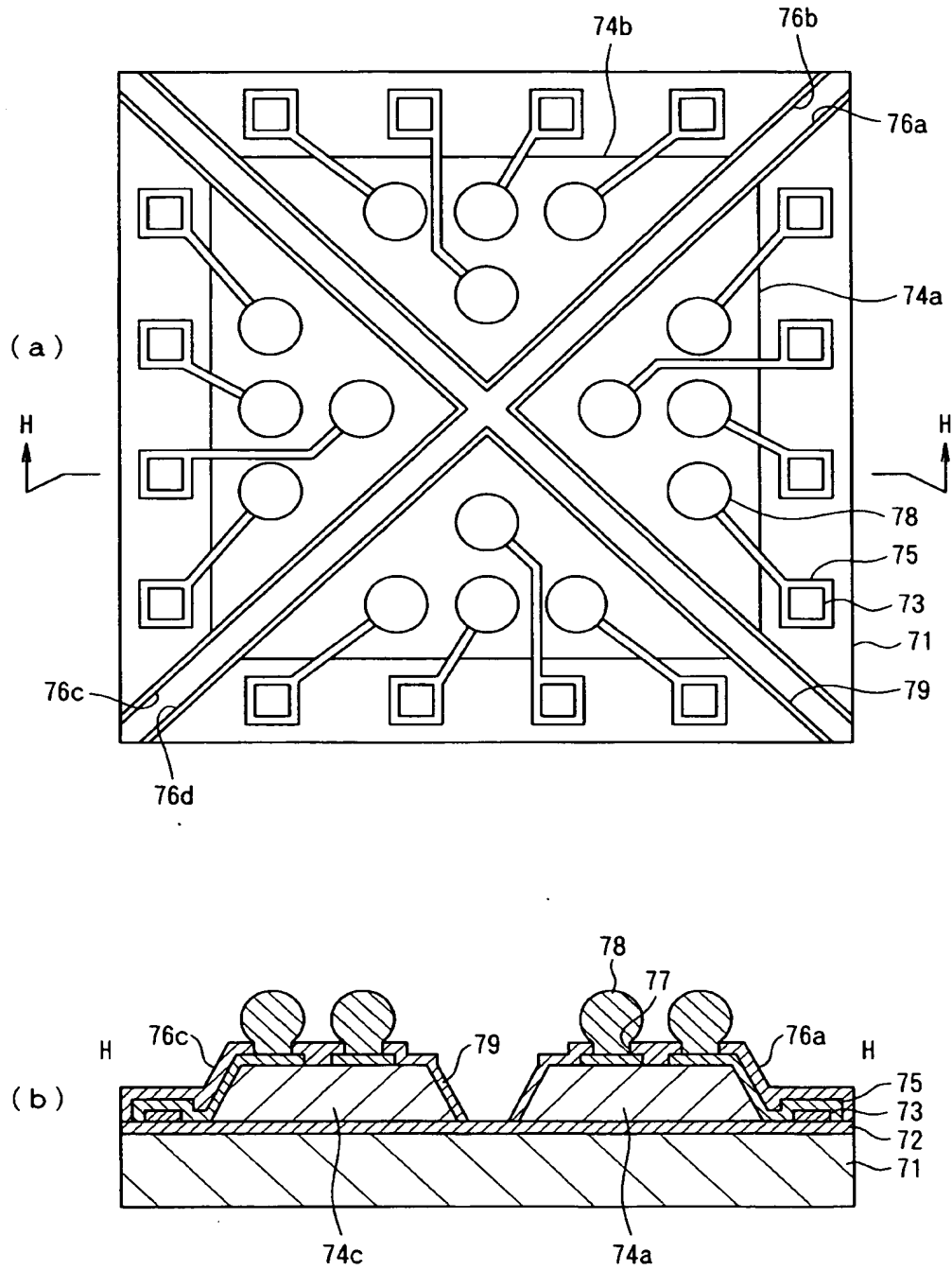
【図 7】



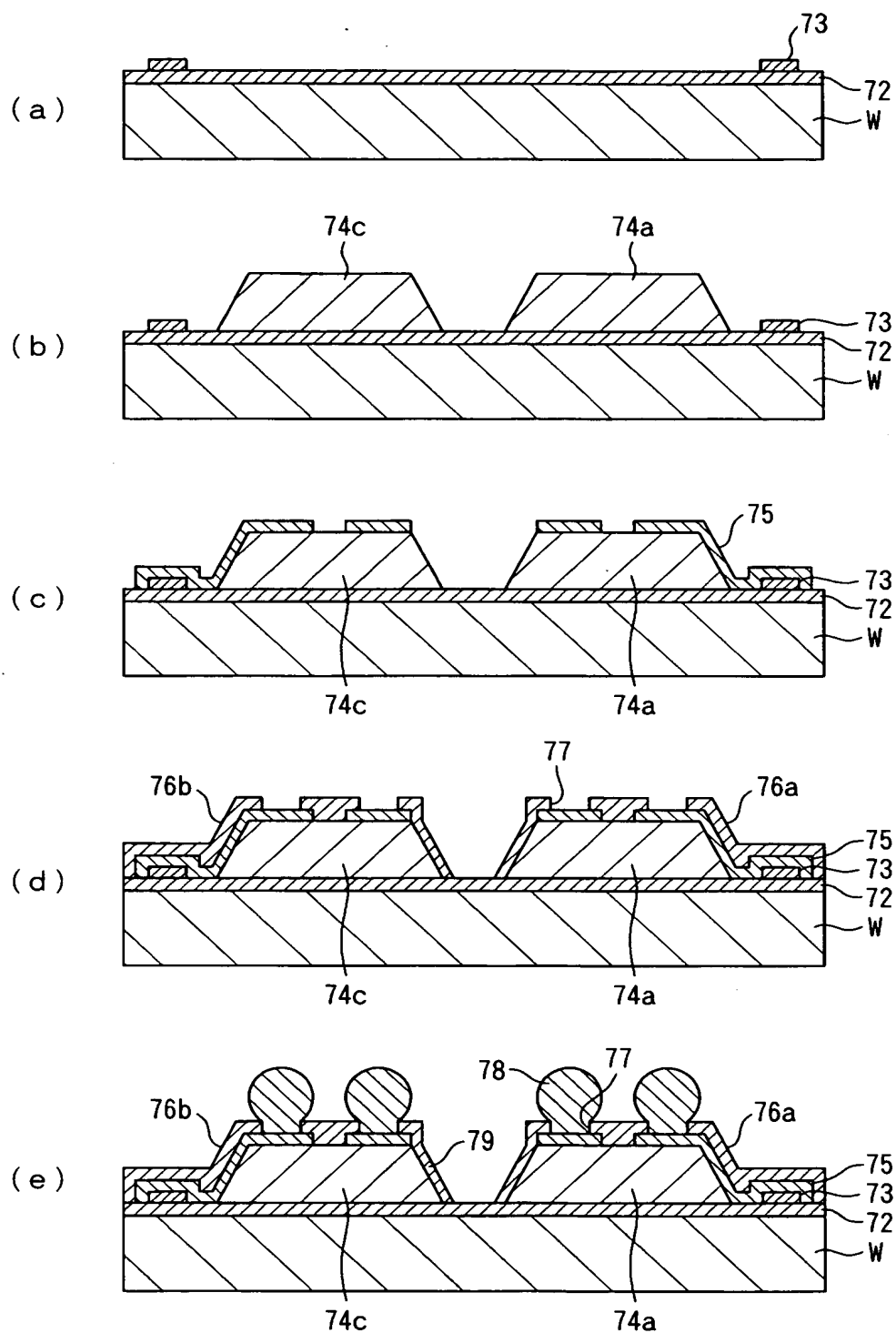
【図 8】



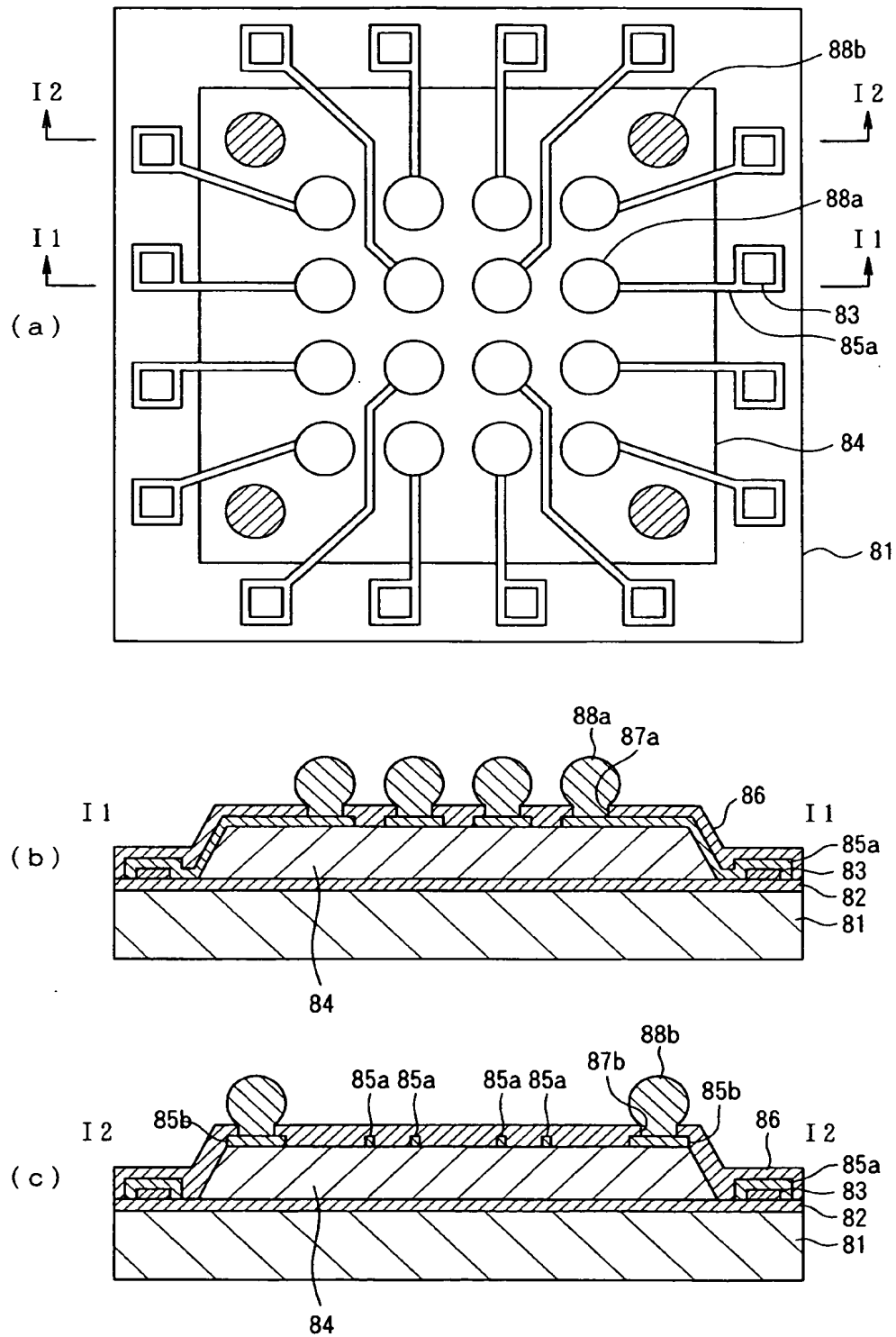
【図 9】



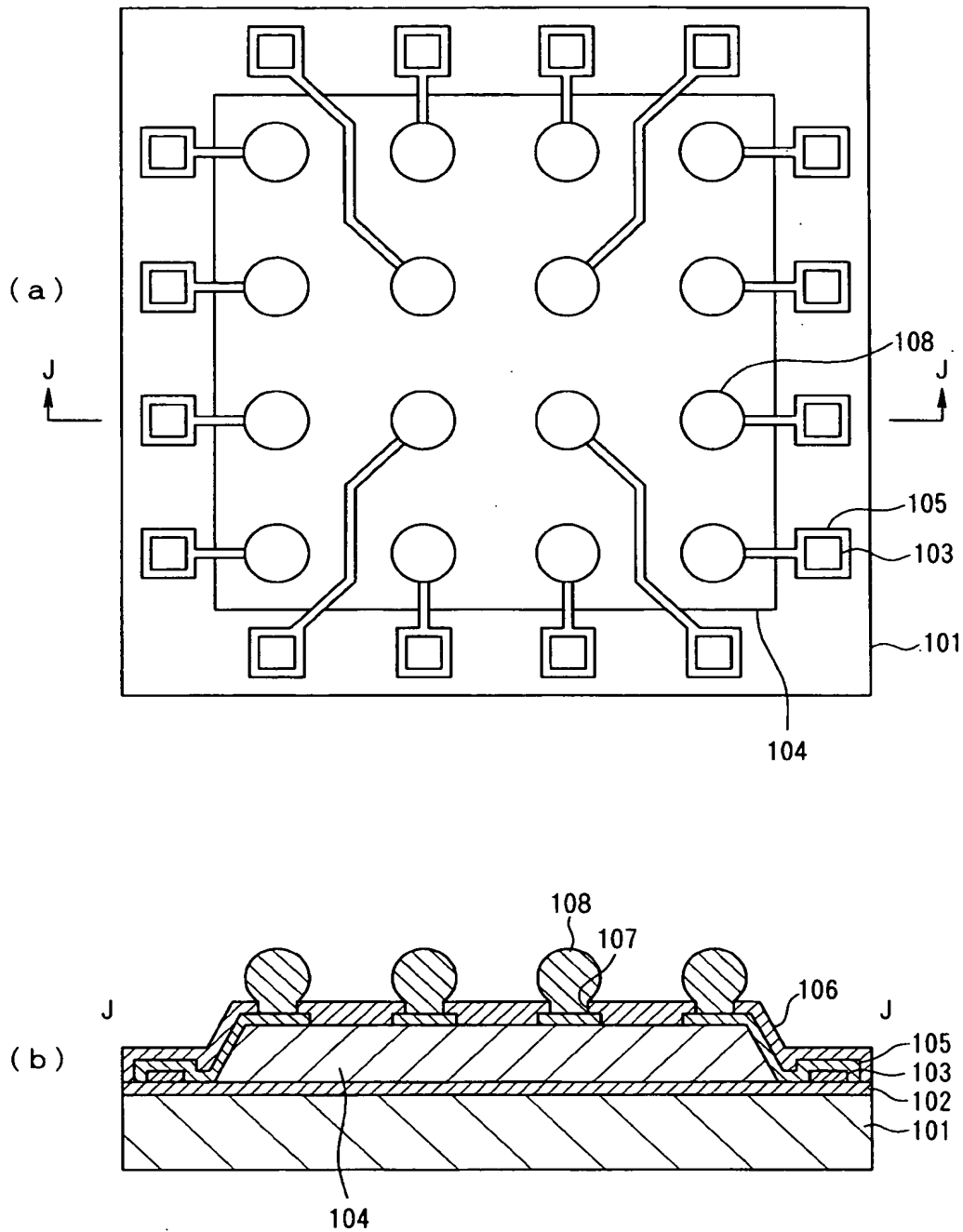
【図10】



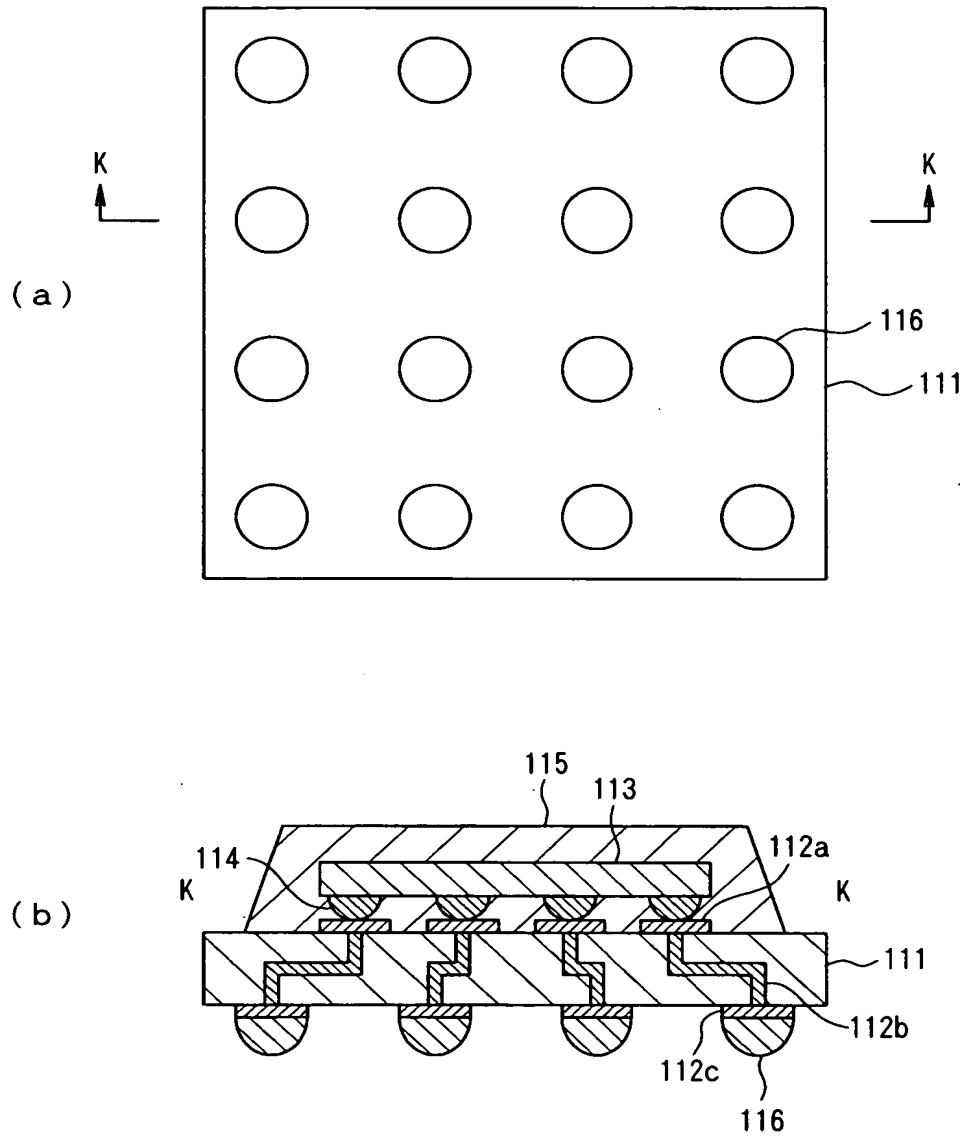
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 半導体チップを実装する際の接続信頼性を向上させる。

【解決手段】 インターポーザ基板 1 の対角線 7 を避けるように、インターポーザ基板 1 の裏面にはんだボール 6 を配置するとともに、インターポーザ基板 1 の表面に半導体チップ 3 を実装する。

【選択図】 図 1

特願 2 0 0 3 - 0 0 7 7 6 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社